

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-281928

(43)公開日 平成5年(1993)10月29日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	FI	技術表示箇所
G 0 9 G 3/36		7319-5G		
G 0 2 F 1/133	5 0 5	7820-2K		
	5 5 0	7820-2K		
G 0 9 G 3/20	J	8729-5G		

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号 特願平4-77317

(22)出願日 平成4年(1992)3月31日

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72)発明者 神原 実

東京都八王子市石川町2951番地の5 カシ  
オ計算機株式会社八王子研究所内

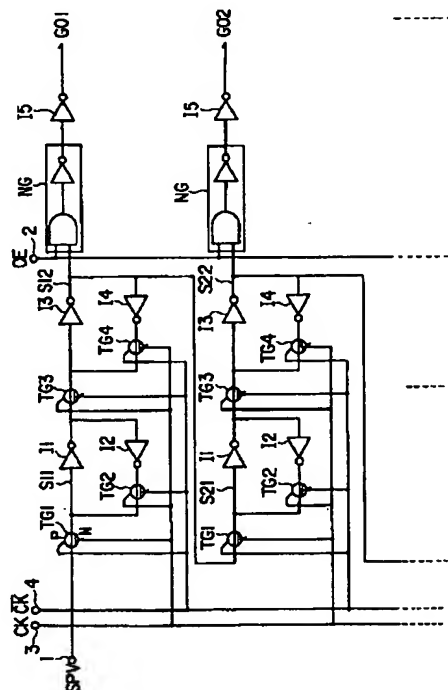
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 表示駆動装置

(57)【要約】

【目的】本発明は、ゲートライン駆動信号のタイミング調整が容易に行え、且つクロストークを生じない表示駆動装置を提供することを目的とする。

【構成】本発明は、インバータI1～I4、トランスファゲートTG1～TG4よりなるフリップフロップにより構成したシフトレジスタ回路と、このシフトレジスタ回路の出力信号を制御してゲートラインを駆動するナンドゲートNGとより構成する。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 フリップフロップにより構成されたシフトレジスタ回路と、このシフトレジスタ回路の出力信号を制御してゲートラインを駆動するゲート回路とを具備することを特徴とする表示駆動装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、例えば駆動回路一体型アクティブマトリックスLCDパネルを構成するTFTのゲートライン等を駆動する表示駆動装置に関するものである。

## 【0002】

【従来の技術】 従来、駆動回路一体型アクティブマトリックスLCDパネルを構成するTFTのゲートラインを駆動する表示駆動装置は、フリップフロップをカスコードに接続してシフトレジスタ回路を構成し、このシフトレジスタ回路の各段の出力信号をバッファ回路を通して電流増幅して、駆動回路一体型アクティブマトリックスLCDパネルを構成するTFTのゲートラインを駆動している。

【0003】 図6は従来の表示駆動装置のタイミングチャートである。即ち、垂直同期信号CK、 $\overline{\text{CK}}$ 及び垂直用クロック信号SPVをフリップフロップにより構成されたシフトレジスタ回路に供給し、このシフトレジスタ回路の出力よりゲートライン駆動信号G01、G02………を抽出している。通常、表示駆動装置のアクティブマトリックス部はNチャネルTFTが用いられているので画素の信号としては、シフトレジスタ回路の出力信号であるゲートライン駆動信号G01、G02………が立ち下がる時確定することになる。

## 【0004】

【発明が解決しようとする課題】 しかしながら、駆動回路一体型アクティブマトリックスLCDパネルを構成するTFTのゲートラインの伝搬遅延が大きいときは、例えば前段ゲートラインのゲートライン駆動信号G01の電圧が充分下がり切らない内に、次段ゲートラインのゲートライン駆動信号G02の電圧が立ち上がってしまい、結果としてクロストークを生じやすいという欠点があった。

【0005】 本発明は上記の実情に鑑みてなされたもので、ゲートライン駆動信号のタイミング調整が容易に行え、且つクロストークを生じない表示駆動装置を提供することを目的とする。

## 【0006】

【課題を解決するための手段】 本発明は上記課題を解決するために、フリップフロップにより構成されたシフトレジスタ回路と、このシフトレジスタ回路の出力信号を制御してゲートラインを駆動するゲート回路とを具備することを特徴とするものである。

## 【0007】

【作用】 上記手段により、ゲートライン駆動信号をゲート回路で制御することにより、ゲートライン駆動信号のタイミング調整が容易に行えるため、前段ゲートラインのゲートライン駆動信号の電圧が充分下がり切ってから、次段ゲートラインのゲートライン駆動信号の電圧を立ち上げるようにでき、クロストークが生じるのを防止することができる。

## 【0008】

【実施例】 以下図面を参照して本発明の実施例を詳細に説明する。

【0009】 図5は本発明の一実施例である駆動回路一体型アクティブマトリックスLCDパネルの表示駆動装置を示す概略ブロック図である。即ち、表示駆動素子マトリクス回路部11は信号線駆動回路部12及び走査線駆動回路部13により駆動される。尚、これらのすべての回路は薄膜トランジスタにより構成することができ、すべての回路を一枚の基板上に形成することができる。

【0010】 図1は図5の走査線駆動回路部13の一例を示す回路図である。即ち、垂直用クロック信号印加端子1は第1のトランスファゲートTG1を介して第1のインバータI1の入力端に接続され、この第1のインバータI1の出力端は第2のインバータI2の入力端に接続されると共に第3のトランスファゲートTG3を介して第3のインバータI3の入力端に接続される。前記第2のインバータI2の出力端は第2のトランスファゲートTG2を介して第1のインバータI1の入力端に接続される。前記第3のインバータI3の出力端は第4のインバータI4の入力端に接続されると共にナンド(NAND)ゲートNGの一方の入力端に接続される。前記第4のインバータI4の出力端は第4のトランスファゲートTG4を介して第3のインバータI3の入力端に接続される。前記ナンドゲートNGは他方の入力端に出力制御信号印加端子2が接続され、出力端に第5のインバータI5を介して第1のゲートラインが接続される。前記第1のトランスファゲートTG1及び第4のトランスファゲートTG4はN側制御端子が垂直同期信号印加端子3に接続され、P側制御端子が垂直同期信号印加端子4に接続される。前記第2のトランスファゲートTG2及び第3のトランスファゲートTG3はP側制御端子が垂直同期信号印加端子3に接続され、N側制御端子が垂直同期信号印加端子4に接続される。以上のようにして第1段ゲートラインの駆動回路が構成される。同様に、第2段ゲートライン以降の駆動回路が構成されるが、第2段ゲートライン以降の駆動回路では第1のインバータI1の入力端には前段ゲートラインの駆動回路を構成する第3のインバータI3の出力端が第1のトランスファゲートTG1を介して接続される。前記第1のインバータI1、第2のインバータI2、第1のトランスファゲートTG1、第2のトランスファゲートTG2及び第3のインバータI3、第4のインバータI4、第3

3

のトランスファゲートTG3、第4のトランスファゲートTG4はフリップフロップを構成し、このフリップフロップをカスコード接続してシフトレジスタを構成する。

【0011】図2は図1の回路の信号を示すタイミングチャートである。即ち、垂直同期信号印加端子3には垂直同期信号CKが供給され、垂直同期信号印加端子4には垂直同期信号 $\overline{\text{CK}}$ が供給され、垂直用クロック信号印加端子1には垂直用クロック信号SPVが供給され、出力制御信号印加端子2には出力制御信号OEが供給される。しかし、第1のトランスファゲートTG1は垂直同期信号CKが高電位、垂直同期信号 $\overline{\text{CK}}$ N側制御端子が低電位になるとオンとなり、第2のトランスファゲートTG2は垂直同期信号CKが低電位、垂直同期信号 $\overline{\text{CK}}$ N側制御端子が高電位になるとオンとなるため、第1のインバータI1の入力端には信号S11が抽出される。第3のトランスファゲートTG3は垂直同期信号CKが低電位、垂直同期信号 $\overline{\text{CK}}$ N側制御端子が高電位になるとオンとなり、第4のトランスファゲートTG4は垂直同期信号CKが高電位、垂直同期信号 $\overline{\text{CK}}$ が低電位になるとオンとなるため、第3のインバータI3の出力端には信号S12が抽出される。この信号S12はナンドゲートNGで出力制御信号OEと論理積否定がとられ、第5のインバータI5を介してゲートライン駆動信号GO1が抽出されて第1段ゲートラインを駆動する。

【0012】同様に、第2段ゲートライン以降を駆動するゲートライン駆動信号GO2………を得ることができる。この場合、第2段ゲートライン以降の駆動回路では第1のインバータI1には、垂直用クロック信号SPVの代わりに前段ゲートラインの駆動回路を構成する第3のインバータI3の出力信号S12、S22………が第1のトランスファゲートTG1を介して入力される。

【0013】以上のように、シフトレジスタの出力部にナンドゲートNGを組合せることにより、出力制御信号OEによるゲートライン駆動信号のタイミングの制御が容易になるので、クロストークは原理的には全く発生しない回路が得られる。すなわち、シフトレジスタの出力信号S12、S22………と出力制御信号OEの論理積否定をゲートライン駆動信号としているので、仮にゲートラインの伝搬遅延が大きくても予めその時間を見込んで出力制御信号OEを入力すればよい。

【0014】図3は図5の走査線駆動回路部13の他の例を示す回路図である。即ち、垂直用クロック信号印加端子21は第1のインバータI11の入力端に接続され、この第1のインバータI11の出力端は第1のトランスファゲートTG11を介して第2のインバータI12の入力端に接続され、この第2のインバータI12の出力端は第3のインバータI13の入力端に接続される

4

と共に第1のナンドゲートNG1の一方の入力端に接続される。前記第3のインバータI13の出力端は第2のトランスファゲートTG12を介して第2のインバータI12の入力端に接続される。前記第1のナンドゲートNG1は他方の入力端に出力制御信号印加端子221が接続され、出力端に第4のインバータI14を介して第1のゲートラインが接続される。

【0015】前記第2のインバータI12の出力端は第5のインバータI15の入力端に接続され、この第5のインバータI15の出力端は第3のトランスファゲートTG13を介して第6のインバータI16の入力端に接続され、この第6のインバータI16の出力端は第7のインバータI17の入力端に接続されると共に第2のナンドゲートNG2の一方の入力端に接続される。前記第7のインバータI17の出力端は第4のトランスファゲートTG14を介して第6のインバータI16の入力端に接続される。前記第2のナンドゲートNG2は他方の入力端に出力制御信号印加端子222が接続され、出力端に第8のインバータI18を介して第2のゲートラインが接続される。

【0016】前記第1のトランスファゲートTG11及び第4のトランスファゲートTG14はN側制御端子が垂直同期信号印加端子23に接続され、P側制御端子が垂直同期信号印加端子24に接続される。前記第2のトランスファゲートTG12及び第3のトランスファゲートTG13はP側制御端子が垂直同期信号印加端子23に接続され、N側制御端子が垂直同期信号印加端子24に接続される。

【0017】以上のようにして第1段ゲートラインの駆動回路及び第2段ゲートラインの駆動回路が構成される。同様に、第3段ゲートライン以降の駆動回路が構成される。

【0018】前記第2のインバータI12、第3のインバータI13、第1のトランスファゲートTG11、第2のトランスファゲートTG12はフリップフロップを構成し、このフリップフロップを、第6のインバータI16、第7のインバータI17、第3のトランスファゲートTG13、第4のトランスファゲートTG14より構成されるフリップフロップとカスコード接続してシフトレジスタを構成する。

【0019】図4は図3の回路の信号を示すタイミングチャートである。即ち、垂直同期信号印加端子23には垂直同期信号CKが供給され、垂直同期信号印加端子24には垂直同期信号 $\overline{\text{CK}}$ が供給され、垂直用クロック信号印加端子21には垂直用クロック信号SPVが供給され、出力制御信号印加端子221には出力制御信号OEが供給され、出力制御信号印加端子222には出力制御信号 $\overline{\text{OE}}$ が供給される。しかし、第1のトランスファゲートTG11は垂直同期信号CKが高電位、垂直同期信号 $\overline{\text{CK}}$ が低電位になるとオンとなり、第2のト

10

20

30

40

50

ランスファゲートTG12は垂直同期信号CKが低電位、垂直同期信号 $\overline{\text{CK}}$ が高電位になるとオンとなるため、第2のインバータI12の出力端には信号SO1が抽出される。この信号SO1は第1のナンドゲートNG1で出力制御信号OEと論理積否定がとられ、第4のインバータI14を介してゲートライン駆動信号GO1が抽出されて第1段ゲートラインを駆動する。

【0020】又、第3のランスファゲートTG13は垂直同期信号CKが低電位、垂直同期信号 $\overline{\text{CK}}$ が高電位になるとオンとなり、第4のランスファゲートTG14は垂直同期信号CKが高電位、垂直同期信号 $\overline{\text{CK}}$ が低電位になるとオンとなるため、第6のインバータI16の出力端には信号SO2が抽出される。この信号SO2は第2のナンドゲートNG2で出力制御信号 $\overline{\text{OE}}$ と論理積否定がとられ、第8のインバータI18を介してゲートライン駆動信号GO2が抽出されて第2段ゲートラインを駆動する。同様に、第3段ゲートライン以降を駆動するゲートライン駆動信号GO3……を得ることができる。

【0021】図3の実施例では、図1の実施例に対して1段当たりのシフトレジスタの構成要素をほぼ半分にすることができる。又、図3の実施例では2相の出力制御信号OE、 $\overline{\text{OE}}$ を必要とするが、ナンドゲートとの組合せにより機能的には図1の実施例と全く同じものが得られる。更に、回路動作としては、図1の実施例では1クロックサイクルで転送されたシフトレジスタのデータで出力信号を作り出すのに対し、図3の実施例では1/2クロックサイクルで転送されたシフトレジスタのデータで出力信号を作り出している。従って、同じ出力段数

を得るには1/2クロック周波数で良いことになる。逆に、同じクロック周波数ならば、2倍の規模の回路を得る事ができる。

#### 【0022】

【発明の効果】以上述べたように本発明によれば、ゲートライン駆動信号をゲート回路で制御することにより、ゲートライン駆動信号のタイミング調整が容易に行えるため、前段ゲートラインのゲートライン駆動信号の電圧が充分下がり切ってから、次段ゲートラインのゲートライン駆動信号の電圧を立ち上げるようにでき、クロストークが生じるのを防止することができる。

#### 【図面の簡単な説明】

【図1】本発明に係る走査線駆動回路部の一例を示す回路図である。

【図2】図1の回路の信号の一例を示すタイミングチャートである。

【図3】本発明に係る走査線駆動回路部の他の例を示す回路図である。

【図4】図3の回路の信号の一例を示すタイミングチャートである。

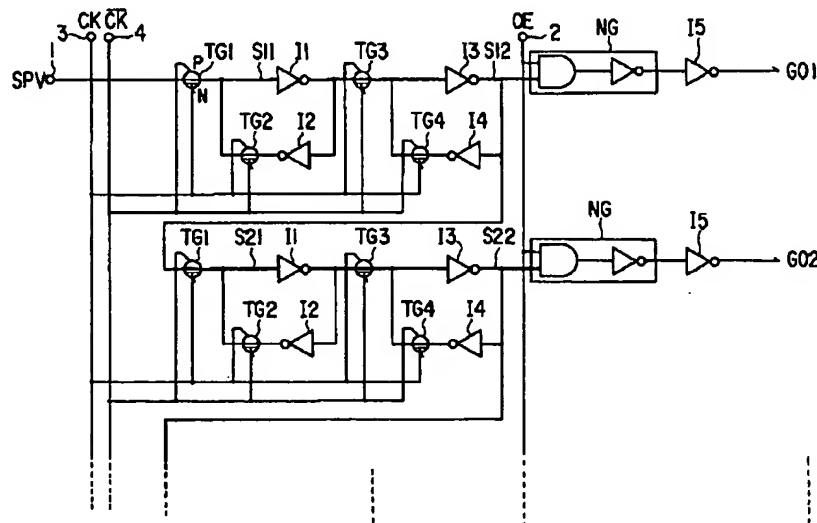
【図5】本発明の一実施例を示す構成説明図である。

【図6】従来の走査線駆動回路の信号の一例を示すタイミングチャートである。

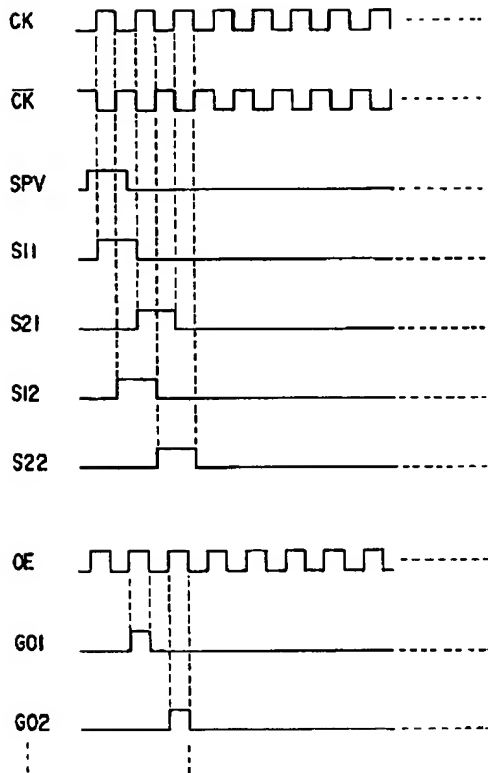
#### 【符号の説明】

1…垂直用クロック信号印加端子、2…出力制御信号印加端子、3…垂直同期信号印加端子、4…垂直同期信号印加端子、I1～I5…インバータ、TG1～TG4…ランスファゲート、NG…ナンドゲート。

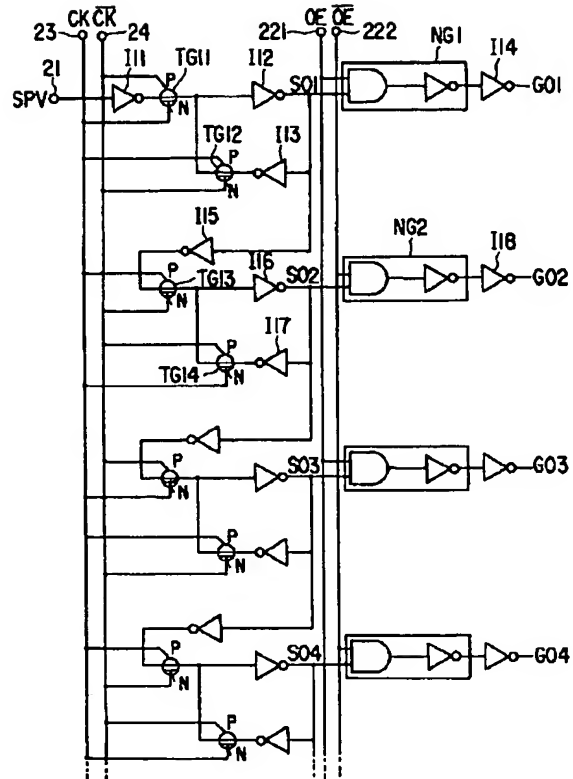
【図1】



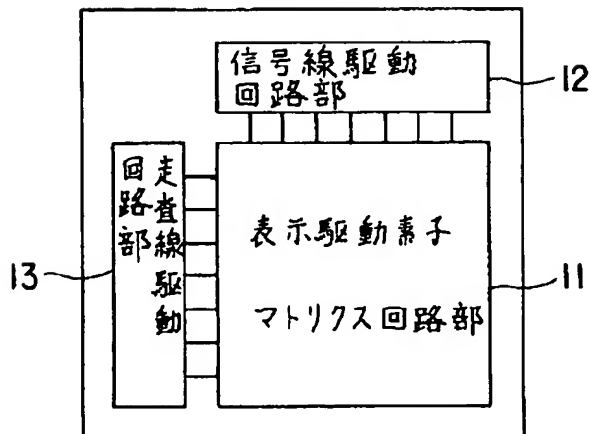
【図2】



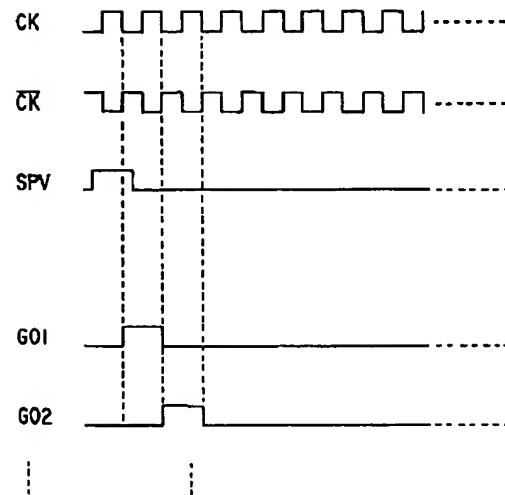
【図3】



【図5】



【図6】



特開平5-281928

JP-A-5-281928

[Title of the Invention] DISPLAY DRIVING DEVICE

[Abstract]

[Purpose] To provide a display driving device, which may facilitate timing adjustment of a gate line driving signal and not cause crosstalk.

[Constitution] This display driving device includes: inverters I1 to I4; a shift register circuit constructed by flip-flops including transfer gates TG1 to TG4; and an NAND gate NG for controlling the output signal of the shift register circuit to drive a gate line.

[Claim]

[Claim 1] A display driving device, comprising: a shift register circuit constructed by flip-flops; and a gate circuit for controlling the output signal of the shift register circuit to drive a gate line.

[Detailed Description of the Invention]

[0001]

[Industrial Field of Application]

This invention relates to a display driving device for driving a gate line or the like of TFT constituting a driving circuit integrated type active matrix LCD panel,

for example.

[0002]

[Prior Art]

In the conventional display driving device for driving the gate line of TFT constituting a driving circuit integrated type active matrix LCD panel, the flip-flops are cascaded to constitute a shift register, and the output signals at the respective stages of the shift register circuit are current-amplified through a buffer circuit to thereby drive the gate line of the TFT constituting the driving circuit integrated type active matrix LCD panel.

[0003]

Fig. 6 is a timing diagram of the conventional display driving device. That is, vertical synchronizing signals CK,  $\overline{CK}$  and a vertical clock signal SPV are supplied to a shift register circuit constructed by flip-flops, and the gate line driving signals G01, G02 ..... are extracted from the output of the shift register circuit. Generally, the N-channel TFT is used in the active matrix part of the display driving device, so the signal of the pixel is determined when the gate line driving signals G01, G02 ....., which are the output signals of the shift register circuit, fall.

[0004]



[Problems that the Invention is to Solve]

The above display driving device, however, has the disadvantage that when the propagation delay of the gate line of the TFT constituting the driving circuit integrated type active matrix LCD panel is large, the voltage of the gate line driving signal G02 of the gate line at the next stage rises before the voltage of the gate line driving signal G01 of the gate line at the preceding stage completely drops, resulting in easily causing crosstalk.

[0005]

This invention has been made in the light of the above actual circumstances and it is an object of the invention to provide a display driving device, which may facilitate timing adjustment of a gate line driving signal and not cause crosstalk.

[0006]

[Means for Solving the Problems]

In order to solve the above problems, the invention provides a display driving device including: a shift register circuit constructed by flip-flops; and a gate circuit for controlling the output signal of the shift register circuit to drive a gate line.

[0007]

[Operation]

According to the above means, the gate line driving signal is controlled by the gate circuit, whereby the timing adjustment of the gate line driving signal is facilitated, so that after the voltage of the gate line driving signal of the gate line at the preceding stage completely drops, the voltage of the gate line driving signal of the gate line at the next stage rises to prevent the occurrence of crosstalk.

[0008]

[Embodiments]

The embodiments of the invention will now be described in detail with reference to the drawings.

[0009]

Fig. 5 is a schematic block diagram showing a display driving device of a driving circuit integrated type active matrix LCD panel, which is one embodiment of the invention. That is, the display driving element matrix circuit part 11 is driven by a signal line driving circuit part 12 and a scan line driving circuit part 13. All of these circuits may be constructed by thin film transistors, and all of the circuits may be formed on one substrate.

[0010]

Fig. 1 is a circuit diagram showing an example of the scan line driving circuit part 13 shown in Fig. 5.

That is, a vertical clock signal applying terminal 1 is connected to an input end of a first inverter I1 through a first transfer gate TG1, and the output end of the first inverter I1 is connected to an input end of a second inverter I2 and also connected to an input end of a third inverter I3 through a third transfer gate TG3. An output end of the second inverter I2 is connected to the input end of the first inverter I1 through a second transfer gate TG2. An output end of the third inverter I3 is connected to an input end of a fourth inverter I4, and also connected to one input end of a NAND gate NG. An output end of the fourth inverter I4 is connected to an input end of the third inverter I3 through the fourth transfer gate TG4. The NAND gate NG has the other input end to which an output control signal applying terminal 2 is connected, and a first gate line is connected to an output end through a fifth inverter I5. In the first transfer gate TG1 and the fourth transfer gate TG4, the N side control terminals are connected to a vertical synchronizing signal applying terminal 3, and the P side control terminals are connected to a vertical synchronizing signal applying terminal 4. In the second transfer gate TG2 and the third transfer gate TG3, the P side control terminal is connected to the vertical synchronizing signal applying terminal 3, and the N side

control terminal is connected to the vertical synchronizing signal applying terminal 4. Thus, the driving circuit of the first stage gate line is constructed. Similarly, the driving circuits of the second and later stage gate lines are constructed, and in the driving circuits of the second and later stage gate lines, the output end of the third inverter I3 constituting the driving circuit of the gate line at the preceding stage is connected to the input end of the first inverter I1 through the first transfer gate TG1. The first inverter I1, the second inverter I2, the first transfer gate TG1, the second transfer gate TG2, the third inverter I3, the fourth Inverter I4, the third transfer gate TG3, and the fourth transfer gate TG4 constitute flip-flops, which are cascaded to constitute a shift register.

[0011]

Fig. 2 is a timing diagram showing the signals of the circuit shown in Fig. 1. That is, a vertical synchronizing signal CK is supplied to the vertical synchronizing signal applying terminal 3, a vertical synchronizing signal  $\overline{CK}$  is supplied to the vertical synchronizing signal applying terminal 4, a vertical clock signal SPV is supplied to the vertical clock signal applying terminal 1, and an output control signal OE is

supplied to the output control signal applying terminal 2. Thus, the first transfer gate TG1 is turned on when the vertical synchronizing signal CK is at high potential and the vertical synchronizing signal  $\overline{CK}$  side control terminal is at low potential, and the second transfer gate TG2 is turned on when the vertical synchronizing signal CK is at low potential and the vertical synchronizing signal  $\overline{CK}$  side control terminal is at high potential, so that a signal S11 is extracted to the input end of the first inverter I1. The third transfer gate TG3 is turned on when the vertical synchronizing signal CK is at low potential and the vertical synchronizing signal  $\overline{CK}$  side control terminal is at high potential, and the fourth transfer gate TG4 is turned on when the vertical synchronizing signal CK is at high potential and the vertical synchronizing signal  $\overline{CK}$  is at low potential, so that a signal S12 is extracted to the output end of the third inverter I3. The signal S12 is NANDed with the output control signal OE at the NAND gate NG, and a gate line driving signal G01 is extracted through the fifth inverter I5 to drive the first stage gate line.

[0012]

Similarly the gate line driving signals G02 ..... for driving, the second and later stage gate lines may be

obtained. In this case, in the driving circuits of the second and later stage gate lines, the output signals S12, S22 ..... of the third inverters I3 constituting the driving circuit of the preceding stage gate line are input through the first transfer gate TG1 to the first inverters I1 instead of the vertical clock signal SPV.

[0013]

As described above, the NAND gate NG is combined with the output part of the shift register, whereby the control for the timing of the gate line driving signal according to the output control signal OE is facilitated so that it is possible to obtain the circuit which does not cause crosstalk at all in theory. That is, the NAND of the output signals S12, S22 ..... of the shift register with the output control signal OE is taken as the gate line driving signal, so that even if the propagation delay of the gate line is large, it will be sufficient to input the output control signal OE taking the time into account.

[0014]

Fig. 3 is a circuit diagram showing another example of the scan line driving circuit part 13 shown in Fig. 5. That is, a vertical clock signal applying terminal 21 is connected to the input end of a first inverter I11, the output end of the first inverter I11 is connected to the

input end of a second inverter I12 through a first transfer gate TG11, and the output end of the second inverter I12 is connected to the input end of a third inverter I13 and also connected to one input end of a first NAND gate NG1. The output end of the third inverter I13 is connected to the input end of a second inverter I12 through a second transfer gate TG12. The first NAND gate NG1 has the other input end to which an output control signal applying terminal 221 is connected, and a first gate line is connected to the output end thereof through a fourth inverter I14.

[0015]

The output end of the second inverter I12 is connected to the input end of a fifth inverter I15, the output end of the fifth inverter I15 is connected to the input end of a sixth inverter I16 through a third transfer gate TG13, and the output end of the sixth inverter I16 is connected to the input end of a seventh inverter I17 and also connected to one input end of a second NAND gate NG2. The output end of the seventh inverter I17 is connected to the input end of the sixth inverter I16 through a fourth transfer gate TG 14. The second NAND gate NG2 has the other input end to which an output control signal applying terminal 222 is connected, and a second gate line is connected to the output end

thereof through an eighth inverter I18.

[0016]

In the first transfer gate TG 11 and the fourth transfer gate TG14, the N side control terminals are connected to a vertical synchronizing signal applying terminal 23, and the P side control terminals are connected to a vertical synchronizing signal applying terminal 24. In the second transfer gate TG12 and the third transfer gate TG13, the P side control terminals are connected to the vertical synchronizing signal applying terminal 23 and the N side control terminals are connected to the vertical synchronizing signal applying terminal 24.

[0017]

As described above, the driving circuit of the first stage gate line and the driving circuit of the second stage gate line are constructed. Similarly, the driving circuits of the third and later gate lines are constructed.

[0018]

The second inverter I12, the third inverter I13, the first transfer gate TG11, and the second transfer gate TG12 constitute flip-flop, and the flip-flop is cascade-connected to the flip-flop constructed by the sixth inverter I16, the seventh inverter I17, the third



transfer gate TG13, and the fourth transfer gate TG14 to thereby constitute a shift register.

[0019]

Fig. 4 is a timing diagram showing the signals of the circuit shown in Fig. 3. That is, a vertical synchronizing signal CK is supplied to the vertical synchronizing signal applying terminal 23, a vertical synchronizing signal  $\overline{CK}$  is supplied to the vertical synchronizing signal applying terminal 24, a vertical clock signal SPV is supplied to the vertical clock signal applying terminal 21, an output control signal OE is supplied to the output control signal applying terminal 221, and an output control signal  $\overline{OE}$  is supplied to the output control signal applying terminal 222. Thus, the first transfer gate TG 11 is turned on when the vertical synchronizing signal CK is at high potential and the vertical synchronizing signal  $\overline{CK}$  is at low potential, and the second transfer gate TG12 is turned on when the vertical synchronizing signal CK is at low potential and the vertical synchronizing signal  $\overline{CK}$  is at high potential, so that a signal SO1 is extracted to the output end of the second inverter. The signal SO 1 is NANDed with the output control signal OE at the first NAND gate NG1, and a gate line driving signal GO1 is extracted through the fourth inverter I14 to drive the

first stage gate line.

[0020]

The third transfer gate TG13 is turned on when the vertical synchronizing signal CK is at low potential and the vertical synchronizing signal  $\overline{CK}$  is at high potential, and the fourth transfer gate TG14 is turned on when the vertical synchronizing signal CK is at high potential and the vertical synchronizing signal  $\overline{CK}$  is at low potential, so that a signal S02 is extracted to the output end of the sixth inverter I16. The signal S02 is NANDed with the output control signal  $\overline{OE}$  at the second NAND gate NG2, and a gate line driving signal GO2 is extracted through an eighth inverter I18 to drive the second stage gate line. Similarly, the gate line driving signals GO3 ..... for driving the third and later stage gate lines may be obtained.

[0021]

In the embodiment of Fig. 3, the components of the shift register per stage may be reduced substantially to half as compared with the embodiment shown in Fig. 1. Although two-phase output controls signal OE,  $\overline{OE}$  are needed in the embodiment of Fig. 3, functionally the quite same one as that of the embodiment shown in Fig. 1 may be obtained by combination with the NAND gate. Further, as to the circuit operation, while the output

signal is created by data of the shift register transferred in one clock cycle in the embodiment of Fig. 1, the output signal is created by data of the shift register transferred in 1/2 clock cycle. Therefore, 1/2 clock frequency will suffice to obtain the same number of output stages. On the contrary, the same clock frequency will achieve a circuit of doubled scale.

[0022]

#### [Advantage of the Invention]

According to the invention, as described above, the gate line driving signal is controlled by the gate circuit, whereby the timing adjustment of the gate line driving signal can be facilitated so that after the voltage of the gate line driving signal of the gate line at the preceding stage completely drop, the voltage of the gate line driving signal of the gate line at the next stage rises to prevent the occurrence of crosstalk.

#### [Brief Description of the Drawings]

Fig. 1 is a circuit diagram showing an example of a scan line driving circuit part according to the invention;

Fig. 2 is a timing diagram showing an example of signals of the circuit shown in Fig. 1;

Fig. 3 is a circuit diagram showing another example of a scan line driving circuit part according to the

invention;

Fig. 4 is a timing diagram showing an example of signals of the circuit shown in Fig. 3;

Fig. 5 is a block diagram showing one embodiment of the invention; and

Fig. 6 is a timing diagram showing an example of signals of the conventional scan line driving circuit.

[Description of the Reference Numerals and Signs]

1: vertical clock signal applying terminal      2: output control signal applying terminal      3: vertical synchronizing signal applying terminal      4: vertical synchronizing signal applying terminal      I1 to I5: inverter      TG1 to TG4: transfer gate      NG: NAND gate

[FIGURE 5]

11: DISPLAY DRIVING ELEMENT MATRIX CIRCUIT PART

12: SIGNAL LINE DRIVING CIRCUIT PART

13: SCAN LINE DRIVING CIRCUIT PART